

ETCHING METHOD FOR INTERMULTILAYER INSULATING FILM

Publication number: JP4155834

Publication date: 1992-05-28

Inventor: SAITO MASAHIKO

Applicant: SHARP KK

Classification:

- International: H01L21/3213; H01L21/302; H01L21/3065; H01L21/31; H01L21/3205; H01L21/768; H01L23/522; H01L21/02; H01L21/70; H01L23/52; (IPC1-7): H01L21/31; H01L21/3205; H01L21/90

- European:

Application number: JP19900281469 19901018

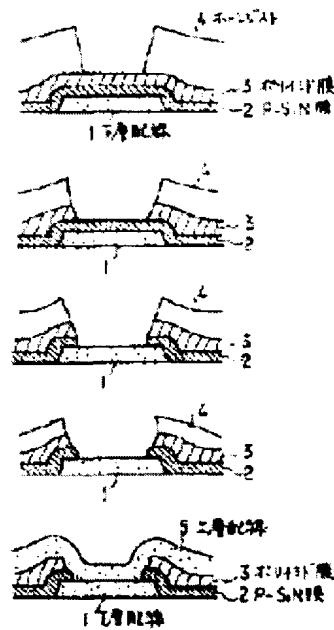
Priority number(s): JP19900281469 19901018

[Report a data error here](#)

Abstract of JP4155834

PURPOSE: To meet the requirements for the miniaturization of the opening size and the step coverage of a wiring material by a method wherein a lower layer P-SiN film is anisotropically etched away using the mixed gas of CHF₃ and O₂ while simultaneously etching back the opening sidewall of a polyimide film and the opening upper end of the P-SiN film so as to make a through hole.

CONSTITUTION: A P-SiN film 2 is formed on a lower wiring 1 and successively a polyimide film 3 as a composite interlayer insulating film is formed on the film 2. Next, in order to make an opening, the upper layer insulating film 3 is coated with a photoresist 4 to be formed into a specified pattern. Next, an opening is made in the polyimide film 3 by reactive ion etching process mainly using O₂. Successively, P-SiN film 2 is anisotropically etched away using the mixed gas of CHF₃ and O₂. When the etching process is repeated meeting the different requirements using the mixed gas of CHF₃ and O₂ again, the sides of the polyimide film 3 are etched back and simultaneously excellent taper shape can be taken by etching back the upper parts of the P-SiN film 2 while holding the vertical state of the opening lower end of the film 2. Finally, the whole surface removing the photoresist 4 is coated with an upper layer wiring 5 so as to be electrically connected to the lower layer wiring 1 exposed in the opening part.



Data supplied from the **esp@cenet** database - Worldwide

⑫ 公開特許公報 (A)

平4-155834

⑬ Int. Cl. 5

H 01 L 21/3205
21/31
21/90

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月28日

M

7353-4M
7353-4M
7342-4MH 01 L 21/88
21/95

D

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 多層層間絶縁膜のエッチング方法

⑯ 特願 平2-281469

⑰ 出願 平2(1990)10月18日

⑱ 発明者 斎藤 雅彦 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内

⑲ 出願人 シヤープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代理人 弁理士 梅田 勝 外2名

明細書

1. 発明の名称

多層層間絶縁膜のエッチング方法

2. 特許請求の範囲

1) 多層配線間を電気的に分離する絶縁膜にスルーホールを形成する方法において、下層配線が形成された半導体基板上にSiN膜及び有機膜を含む複合絶縁膜を形成し、O₂を含む雰囲気中でのドライエッチングにより上記有機膜に開口を形成し、上記有機膜をマスクに、CH₂F₂とO₂の混合ガス雰囲気中でSiN膜に異方性エッチングにより開口を形成し、上記SiN膜のエッチング条件よりO₂濃度を高く設定したCH₂F₂とO₂の混合ガス雰囲気中で上記複合絶縁膜の開口壁を後退させる工程とにより、スルーホールを形成することを特徴とする多層層間絶縁膜のエッチング方法。

2) 請求の範囲第1項の記載において、有機膜はポリイミド膜であり、ポリイミド膜を異方性エッ

チングするためのCH₂F₂とO₂混合ガスのO₂の濃度は、ほぼ10~30%に設定されてなることを特徴とする多層層間絶縁膜のエッチング方法。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は半導体装置の製造方法に関し、特に多層配線の上層配線と下層配線を互いに接続するスルーホールの形成に関する。

<従来の技術>

一般に半導体装置が高密度化するのに伴って、電極配線の多層化、パターン幅の微細化が要求されている。

このような状況に対応するため、多層層間絶縁膜の形成方法も多様化している。この種の絶縁膜としては、プロセス(平坦化、微細化)又はデバイス特性上、複数種類の絶縁膜を積層した複合膜を用いることが多い。例えば最近のデバイスとしては、層間絶縁膜にプラズマCVD法で形成したP-SiN膜と、ポリイミド膜を重ねて2層構造にしたものが多く用いられている。この種の複合

特開平4-155834 (2)

膜の主な特徴として、(1)P-SiN膜を下層に用いることにより、ポリイミド膜の吸湿による水分及び膜中の不純物がシリコン基板に到達することを防ぐことができる。(2)ポリイミド膜の分極によるシリコン基板の表面反転や、MOSトランジスタのスレッシュホールド電圧を変化させるという悪影響をP-SiN膜によって減少できる。(3)P-SiN膜の段差被覆性の悪さ、クラック発生等を上層のポリイミド膜により平坦化し、層間絶縁膜としての信頼性をより完全なものにすることができる、等が挙げられる。

このような積層した複合膜に対するスルーホールの形成方法については、上層のポリイミド膜はウェットエッティング(ヒドラジン液、アルカリ現像液)、ドライエッティング、感光性ポリイミドの利用等により開口を形成している。

一方、下層のP-SiN膜についてはドライエッティング処理により開口を形成しているが、上記複合膜にエッティングを施すと、ポリイミド膜とP-SiN膜の境界においてP-SiN膜に対しポリ

形成し、エッティングするか、オーバーハング構造を防止するために、ポリイミド膜3、P-SiN膜2のエッティング後、上層のポリイミド膜3のみを更にエッティングするか、第6図に示すように、マスク材料4のテーパー角と、マスク材料4とポリイミド膜3との選択比(エッティング速度比)によって上層のポリイミド膜3のテーパー角を制御し、更に上層のポリイミド膜3のテーパー角と、上層のポリイミド膜3及び下層のP-SiN膜2の選択比により下層のP-SiN膜のテーパー角を制御して、段差被覆性の優れた開口を、RIEにより形成すること等により対処してきた。

<発明が解決しようとする問題点>

上記従来のプロセスにおいて、第4図に示すように、下層P-SiN膜2を異方性エッティングする方法は、異方性が完全であったり、異方性を達成しても、近年の微細化に伴う開口部のアスペクト比(開口部の幅に対する深さの比)の上昇により、配線材料の段差被覆性が悪くなる。

第5図に示すように、2度に分けてマスクを形

イミド膜がオーバーハング構造になり易い。第2図にオーバーハング構造の例を示す。

同図において、下層配線1上に積層されたP-SiN膜2及びポリイミド膜3は、ホトレジスト4をマスクとして開口が形成されているが、P-SiN膜2の開口面積が、ポリイミド膜3の開口面積に比べて大きくなっている、オーバーハング構造を呈する。

このような場合、開口部に上層配線5を被覆すると、第3図のように突出したポリイミド膜2のために陰になる部分が生じ、段差被覆性が著しく悪くなり、断線する場合もある。そのため第4図に示すように、上層のポリイミド膜3をエッティング後、下層のP-SiN膜2を異方性エッティングするか、第5図に示すような、下層のP-SiN膜2の開口面積をポリイミド膜3のそれより小さくするために、P-SiN膜2上をマスク材料で被って一旦開口を形成し、マスク材料4を除去した後、その上に上層のポリイミド膜2を被って開口を形成するといった、それぞれにマスク材料を

成し、エッティングする方法は、工程が複雑である、マスク形成の際に合わせ精度が要求される、及び開口部の寸法が拡大する。またマスク形成の際にズレを生じていると実際の開口部の寸法が小さくなり過ぎ、導通が確保できなくなる場合も生じる。更に、一旦開口を形成した後上層のポリイミド膜3のみをエッティングし、オーバーハング構造を防止する方法は、下層のP-SiN膜2のオーバーハング状態に左右される。このため上層のポリイミド膜3のみの後退量を充分にとる必要があり、開口の寸法が拡大する。

また第6図に示すように、マスク材料4及び上層ポリイミド膜3のテーパー角と、マスク材料と絶縁膜及び絶縁膜同士の選択比により開口部のテーパー角を制御する方法は、エッティング面積比の変化、絶縁膜自身の膜質の変化により、テーパー角の制御性が悪くなる。

また最初からテーパー角を考慮したエッティングを行っているため、オーバーエッティングに対して後退量が大きくなり、開口部の寸法が拡大する。

更に最適エッティングまでは、良好なテーパーが形成できても、オーハーエッティングにより結局垂直形状になってしまふ等、不安定要因が多い。

本発明は上記従来方法の問題点に鑑みてなされたもので、開口寸法の微細化と配線材料の段差被覆性を満足させるエッティング方法を提供する。

＜問題点を解決するための手段＞

上層下層配線間に、異なる種類の層間絶縁膜を複数層積層してなる半導体装置の、上層下層配線間を接続するためのスルーホールを形成する方法において、上層のポリイミド膜をエッティングした後、下層P-SiN膜をCHF₃とO₂の混合ガスで異方性エッティングし、続いてCHF₃とO₂の混合ガスにおいてP-SiN膜とは異なるエッティング条件で、ポリイミド膜の開口側壁面とP-SiN膜の開口上端を同時に後退させ、テーパーをもつスルーホールを形成する。

＜実施例＞

第1図(a)～(f)は、本発明の1実施例を説明するための半導体基板の断面図で、特に2層

条件は、第7図から第9図に示す実験結果に基づいて設定した条件で実施する。即ち、上記P-SiN膜2の完全異方性形状を得る条件としては、CHF₃とO₂の混合ガスについて、O₂の混合割合を10～30%（第7図）望ましくは約20%、ガス圧をほぼ0.03～0.1Torr（第8図）、高周波電力密度を0.2w/cm²以上（第9図）に設定する。上記異方性エッティングの条件に設定することにより、ほぼ垂直な側壁をもつ良好なエッティング形状が得られた。なおP-SiN膜2の膜質によってエッティング速度に変化は見られるが、形状については非常に安定しており、またエッティング後更にオーバーエッティングを最大50%まで行ったがオーバーハング構造にはならないことが確かめられ、製造時の工程管理が行ないやすくなる。

続いて上記P-SiN膜2に完全異方性エッティングがされた半導体基板に、第1図(d)に示すように、再びCHF₃とO₂の混合ガスを用いてエッティングする。ただし、この工程では微細化を損な

に積層した絶縁膜上をホトレジストで被った後、マスク材料のバターニング工程からエッティング工程及び配線材料の被覆工程を示す。

第1図(a)において、下層配線1上にプラスマCVD技術により、P-SiN膜2を形成し、続いてその上にポリイミド膜3を形成し、2層の複合層間絶縁膜とする。次に上記複合層間絶縁膜の所望の位置に開口を形成するために、上層絶縁膜3上にホトレジスト4を塗布し、これに所定のパターンを形成する。ここでホトレジスト4のテーパー角は露光、現像及びペーク条件等を選択することにより、約80度に設定した。

次に第1図(b)に示すように、ホトレジストの開口部に露出したポリイミド膜3をエッティングするために、まずポリイミド膜3をO₂を主体とするアクリティブイオンエッティング(RIE)により開口を形成する。続いて第1図(c)に示すように、P-SiN膜2をCHF₃とO₂の混合ガスを用いて、平行平板型ドライエッティング装置により異方性エッティングする。ここでエッティングの

ことなく被覆性を高めるために、エッティング条件は上記完全異方性エッティングとは異なる条件に設定する。即ちO₂の混合割合はほぼ50%（第7図）、ガス圧は0.05Torr（第8図）、高周波電力密度は0.2w/cm²以上（第9図）としてエッティングする。上記エッティング条件で行うことにより、ポリイミド膜3の側面がエッティングされると共に、P-SiN膜2の開口下端の垂直状態をほぼ維持しながら、上端部が後退し良好なテーパーを形成する。

第1図(e)は上記工程を終えた半導体基板に対して、ホトレジスト4を除去した表面にスパッタリング等により、例えばAl-Siからなる上層配線5を被覆し、開口部に露出した下層配線1との間を電気的接続する。上記工程により、スルーホール部において、ポリイミド膜3の側壁からP-SiN膜2側壁の上端部にはほぼ連続するテーパーを形成することができ、上層配線5の段差被覆性は大幅に改善され、被覆性の極めて優れた上層配線が得られ、極めて安定した接続が得られる。

特開平4-155834 (4)

上記エッチング工程は、コンタクト抵抗、ダメージ等半導体回路素子としての特性に影響することもほとんどないことが確認されている。

また本実施例のエッチング工程は、開口底部では垂直なP-SiN側壁が形成されるため、微細な開口が形成され、それにもかかわらず段差被覆性の改善が図れ、また同一のリアクティブイオンエッチング装置内で連続的に加工することができ、工程の短縮が図れる。

＜発明の効果＞

以上のように、本発明によれば、1回のマスク形成により開口部にオーバーハングを生じることなく、側壁に所望のテーパーをつけ、配線材料の段差被覆性を良くし、かつ複合膜を連続的にエッチングすることができる。また複合膜の下層絶縁膜は、異方性エッチングがもつ微細加工を利用していることから、多數の半導体装置（ウエハー）を同時処理した際に、ウエハー間の膜厚等の不均一性によるバラッキを解消するため必要になるオーバーエッチングに対しても、開口部の寸法の拡

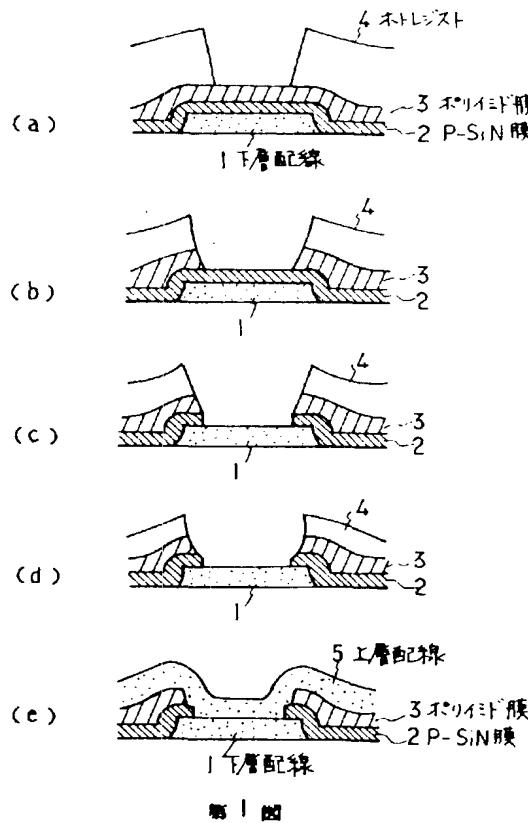
大が極めて少く、寸法精度の優れた高密度半導体集積回路装置を製造することができる。またエッチング面積の大小、P-SiN膜自身の膜質の変化に強く、再現性の良い開口が得られる。

4. 図面の簡単な説明

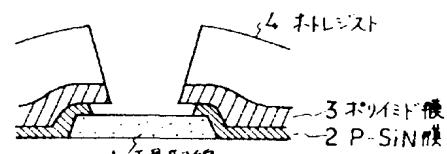
第1図(a)乃至(e)は、本発明の実施例を説明するための半導体基板断面図、第2図は、オーバーハングを有する2層絶縁膜の断面図、第3図はオーバーハングをもつ2層絶縁膜に配線材料を被覆した半導体断面図、第4図は2層絶縁膜の下層P-SiN膜に異方性エッチングを施した半導体断面図、第5図は2層絶縁膜をもつ半導体のオーバーハング構造を防止するための従来方広を説明する半導体断面図、第6図はエッチングの選択比により開口部のテーパー角を制御した半導体の断面図、第7図乃至第9図は本発明のエッチング条件を導くための測定図である。

1: 下層配線 2: P-SiN膜 3: ポリイミド膜 4: マスク材料 5: 上層配線

代理人 弁理士 梅田 勝 (他2名)



第1図



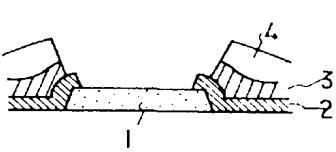
第2図



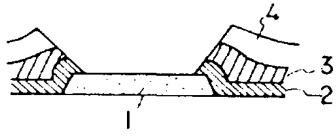
第3図



第4図



第5図



第6図

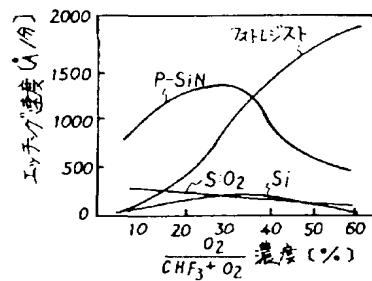


図 7 図

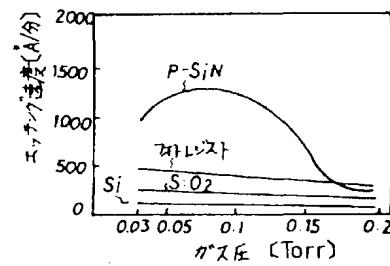


図 8 図

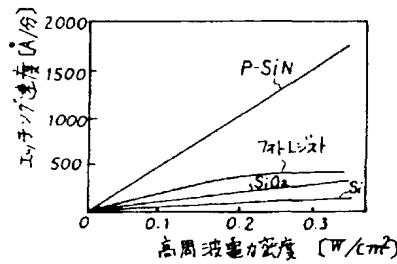


図 9 図